

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-276242

(43)Date of publication of application : 06.12.1991

(51)Int.Cl.

G06F 12/14

G06F 9/06

(21)Application number : 02-076019

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 26.03.1990

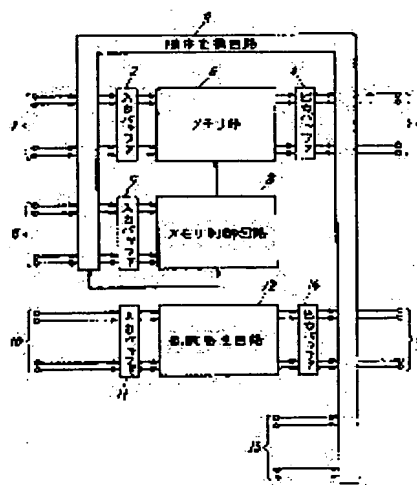
(72)Inventor : IKUSHIMA MASAO

## (54) STORAGE DEVICE

### (57)Abstract:

**PURPOSE:** To obtain a storage where the internal data and logic are substantially unable to be read from outside unless the storage is broken by switching at least an input terminal and an output terminal of the storage to each other with use of the input given from a 3rd input terminal, i.e., the input of an order conversion part.

**CONSTITUTION:** An order conversion part 9 is connected to a 3rd input terminal 10. Thus the part 9 works when an input signal is inputted to the terminal 10 for decoding the internal data. Then the input and output terminals 1, 6, 10, 13 and 15 of a storage are switched at random to each other. As a result, the hitherto input terminals are connected as the output terminals or switched to other different input terminals. Thus, it is possible to obtain a storage where the internal data and logic are substantially unable to be read unless the storage is broken from outside.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

## ⑫ 公開特許公報(A)

平3-276242

⑤ Int. Cl.<sup>5</sup>G 06 F 12/14  
9/06

識別記号

3 2 0 B  
4 5 0 B

庁内整理番号

7165-5B  
7927-5B

⑬ 公開 平成3年(1991)12月6日

審査請求 未請求 請求項の数 4 (全4頁)

⑭ 発明の名称 記憶装置

⑯ 特 願 平2-76019

⑰ 出 願 平2(1990)3月26日

⑱ 発 明 者 生 嶋 正 雄 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
⑳ 代 理 人 弁理士 栗野 重孝 外1名

## 明 細 書

## 1、発明の名称

記憶装置

## 2、特許請求の範囲

- (1) 第1の入力端子からの入力データを記憶し、第1の出力端子よりデータが読み出されるメモリ部と、第2の入力端子を有するとともに前記メモリ部を制御するメモリ制御部と、第3の入力端子を有するとともに前記入力および出力端子の切りかえを行う順序変換部とを具備し、前記順序変換部には前記第3の入力端子への入力信号により前記第1から第3までの入力端子と前記第1の出力端子の少なくともいずれか1端子相互の切りかえを行う切替手段を有する記憶装置。
- (2) 順序変換部が乱数発生回路を有するとともに、前記乱数発生回路の出力により入力および出力端子の切りかえを行う請求項1記載の記憶装置。
- (3) メモリ制御部が制御論理を変更する論理変更

手段を有し、順序変換部が入力および出力端子の切りかえとともに前記論理変更手段を起動する請求項1または請求項2記載の記憶装置。

- (4) 通常は未使用の余分な入力または出力端子を有し、前記入力または出力端子が順序変換部の切替手段の切りかえ対象として含まれる請求項1または請求項2記載の記憶装置。

## 3、発明の詳細な説明

産業上の利用分野

本発明はICカードやゲームソフトなど記憶装置内のデータの機密保持が必要な記憶装置に関する。

従来の技術

近年、ICカードやゲームソフトなどの記憶装置内の機密保持性が必要とされる用途が増えてきている。

以下図面を参照しながら、上述した従来の記憶装置の一例について説明する。

第2図は従来例のブロック図である。

第2図に示すように記憶装置はデータの入力端

子 1 とデータの入力バッファ 2 と、データの出力端子 3 と、データの出力バッファ 4 とを有するメモリ部 5 および制御信号の入力端子 6 と、制御信号入力バッファ 7 を有するメモリ部 5 の制御を行うメモリ制御回路 16 より構成されている。

つぎに以上の構成要素の関連動作について説明する。制御信号の入力端子 6 に入力された信号に応じて、メモリ制御回路 16 がメモリ部 5 に動作指示を行う。データの入力端子 1 に入力されたデータは、入力バッファ 2 を通ってメモリ部 5 に、メモリ制御回路 16 の指示に従って書き込まれる。書き込まれた入力データは、制御信号の入力端子 6 に入力された信号に応じて、メモリ制御回路 16 の指示に従いメモリ部 5 から読みだされ、出力バッファ 4 を通って出力端子 3 から出力される。

#### 発明が解決しようとする課題

しかしながら、上記のような構成では、外部から各端子の入力インピーダンスを測定することにより、各端子が入力端子か出力端子であるかを判

別することができるため、入力端子数を  $n$  個とすれば、 $2^n$  通りの入力信号を入力することにより、内部の制御回路の論理およびデータの内容が非破壊で調べられるという機密保持の面で課題を有していた。本発明は上記の従来の課題に留意し、外部から非破壊で内部のデータや論理が解読がほとんど不可能な記憶装置を提供しようとするものである。

#### 課題を解決するための手段

本発明は上記目的を達成するために、従来の第 1 の入力端子と第 1 の出力端子を有するメモリ部と、第 2 の入力端子を有するとともにメモリ部のデータの記憶と読み出し制御を行うメモリ制御部に加えて、第 3 の入力端子を有するとともに記憶装置内部の入力および出力端子の切りかえを行う順序変換部を設け、この順序変換部の入力である第 3 の入力端子からの入力により記憶装置の入力および出力端子の少なくとも 1 端子どうしを切りかえる切替手段を有する記憶装置である。

また、第 2 の発明としてこの順序変換部が乱数

発生回路と順序変換回路から構成され、第 3 の入力端子からの入力により乱数発生回路が動作し、その出力により順序変換回路により入力および出力端子の切りかえを行う記憶装置である。

さらに、順序変換部の機能として、入力および出力端子の切りかえとともに、メモリ制御部が内蔵し、そのメモリ制御部の制御する論理を変える論理変更手段を起動する機能を加えたものである。

#### 作用

従来の記憶装置にない第 3 の入力端子を設け、この第 3 の入力端子に順序変換部を接続することにより、内部のデータを解読するために、前述のように入力端子に入力信号を入れたときに、この順序変換部が動作することになる。この順序変換部が動作することにより記憶装置の入力および出力端子がランダムに切りかえられるため、いままで入力端子だったものが、出力端子として接続されることになったり、異なった入力端子と切りかわったりする結果となる。そのためデータ解読の

ために必要な入力端子に接続した最初の状態と大きく異なってしまい、解読不可能という結果となる。さらに、この順序変換部の入力および出力端子の切りかえが、乱数発生回路の出力により行われると、さらに解読が難しい変化が第 3 の入力端子に入力が入るごとに発生することになる。またさらに単に端子の切りかえだけでなくメモリ制御回路の論理変更を論理変更手段により行うことにより、一層解読が不可能となる。

#### 実施例

以下本発明の一実施例について、図面を参照しながら説明する。

第 1 図において、第 1 の入力端子に相当するデータの入力端子 1 と、データの入力バッファ 2 と、データの出力端子 3 と、データの出力バッファ 4 とを有するメモリ部 5 は従来例と同じものである。本実施例の特徴とするところはこれに加えて、順序変換部の一部である乱数発生回路 12 からの指示を受けると乱数の内容により本来の動作とは異なった複数の動作をする第 2 の入力端子

である制御信号入力端子 6 と、制御信号の入力バッファ 7 を有するメモリ制御回路 8、9 を接続している。また本来のメモリ動作とは無関係な第 3 の入力端子に相当する入力端子 10 と、その入力バッファ 10 を介して入力とした順序変換部は乱数発生回路 12 と順序変換回路 9 で構成されメモリ動作とは無関係な余分な出力端子 13 と、その出力バッファ 14 が接続されている。なお、15 はメモリ動作とは無関係な常時は開放端である余分な入力端子である。

以上のように構成された記憶装置について、以下その構成要素の関連動作を説明する。

順序変換部の乱数発生回路 12 は入力端子 10 に入力され信号の状態によって乱数を発生させるかどうかを判断する。乱数を発生しないときは、メモリ制御回路 8 の動作、入力バッファ 2 とメモリ部 5 の接続順序、出力バッファ 4 とメモリ部 5 の接続順序は従来例と同じである。このときは、本来必要な端子数より、余分な入力端子および余分な出力端子が増加することによる分だけ内部の

以上のように本実施例によれば、メモリ動作とは無関係な余分な端子を増すことにより内部の論理を解説するために入力する信号の組合せが増加すること、および乱数発生回路 12 によりメモリ制御回路 8 の論理やデータの状態が変わり、本来のメモリ動作の論理以外で動作し期待値とは異なったデータが出力される頻度が増加すること、および順序変換回路 9 により入出力端子的見かけ上の配置が変化することにより、内部の論理およびデータの内容を非破壊で解説するために加える入力信号の組合せが飛躍的に増加し、内部の論理を非破壊で解説するのを不可能に近いレベルにすることができる。

#### 発明の効果

以上の説明から明らかなように本発明は、メモリ動作とは無関係な余分な入力端子と、メモリ動作とは無関係な余分な出力端子と、メモリ動作とは無関係な余分な入力端子に入力されたデータにより乱数を発生させる乱数発生回路と、内部で発生させた乱数により動作が本来の動作とは異なっ

論理およびデータを解説するために加える入力信号の組合せが従来例より増加し内部の論理を非破壊で解説することが端子数増加分だけ困難になる。

つぎに、入力端子 10 に入力された信号の状態が乱数発生回路 12 に乱数の発生を指示するような場合の動作について述べる。メモリ制御回路 8 は乱数発生回路 12 から乱数が入力されると乱数の値によりメモリ制御回路 8 が有する論理変更手段により複数の本来の動作とは異なった論理に基づく動作を行う。さらに乱数の入力により、順序変換部の切替手段である順序変換回路 9 は、入力端子 1、入力端子 6、入力端子 10、出力端子 15、出力端子 13 とメモリ部 5 の入出力およびメモリ制御回路 8 の入力との接続順序を乱数の値により入れ換えてしまう。たとえば入力端子 1 の一部を出力バッファ 14 の一部の出力に接続し、出力端子 13 の一部を入力バッファ 4 に接続し、入力端子 15 の一部を入力バッファ 2 の一部に接続しなおす。

た論理動作をするメモリ制御回路と、内部で発生させた乱数により入出力端子的接続状態を入れ換える順序変換回路により、外部から非破壊で内部のデータや論理を解説することをほとんど不可能なレベルにまですることができる。

#### 4、図面の簡単な説明

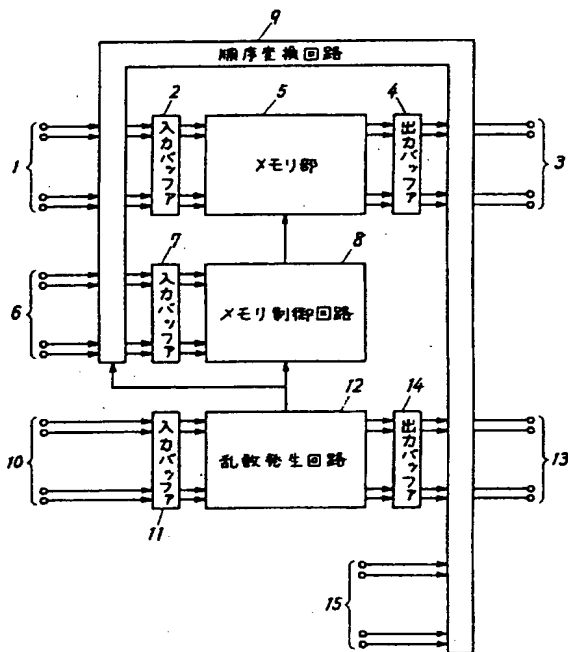
第 1 図は本発明の実施例の記憶装置のブロック図、第 2 図は従来例の記憶装置のブロック図である。

1 ……データの入力端子（第 1 の入力端子）、  
3 ……データの出力端子（第 1 の出力端子）、5  
……メモリ部、6 ……制御信号入力端子（第 2 の入力端子）、8 ……メモリ制御回路、9 ……順序変換回路、10 ……入力端子（第 3 の入力端子）  
12 ……乱数発生回路、15 ……余分な入力端子。

代理人の氏名 弁理士 栗野重孝 ほか 1 名

第 1 図

- 1 ... データの入力端子 (第1の入力端子)  
 3 ... データの出力端子 (第1の出力端子)  
 6 ... 制御信号入力端子 (第2の入力端子)  
 10 ... 入力端子 (第3の入力端子)  
 15 ... 余分な入力端子



第 2 図

